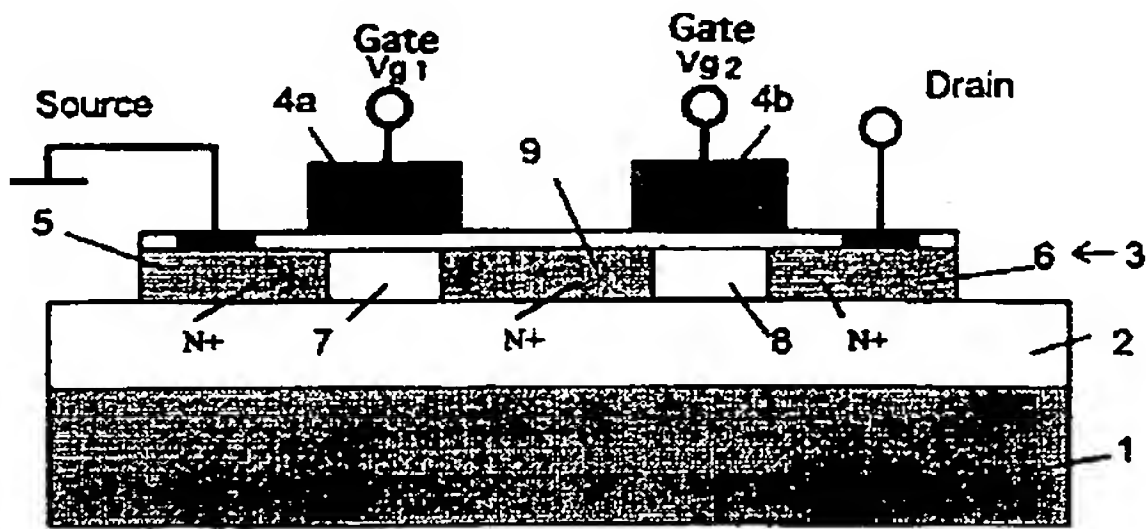


(51)Int.Cl. ⁶		識別記号	F I		
H 0 1 L		29/786	H 0 1 L	29/78	6 1 7 N
		29/78			3 0 1 X
		21/336			6 1 6 M
審査請求 未請求 請求項の数5 O L（全 8 頁）					
(21)出願番号	特願平9-7873				
(22)出願日	平成 9 年(1997) 1 月20日				
(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号				
(72)発明者	アルベルト オー. アダン 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内				
(74)代理人	弁理士 野河 信太郎				

(54)【発明の名称】 SOI・MOS電界効果トランジスタ

(57)【要約】
【課題】 ソース・ドレイン間耐圧の増大、ドレイン電流・電圧特性におけるキンク効果の抑制を可能にしたSOI・MOS電界効果トランジスタを提供する。
【解決手段】 SOI基板上に形成された第1導電型の浅いトップ半導体層と、前記トップ半導体層上に互いに隔てられて配置された第2導電型のソース領域及びドレイン領域と、前記ソース領域及びドレイン領域間に挟まれ、第2導電型ソース領域・第1導電型第1チャネル領域・第2導電型フローティング領域・i型第2チャネル領域・第2導電型ドレイン領域の順序で自己整合的に形成された各領域と、前記第1及び第2チャネル領域を制御する二つのゲート電極とを備えた構成において、前記ソース領域に隣接する前記第1チャネル領域のドーピング濃度は、前記ドレイン領域に隣接する前記第2チャネル領域のドーピング濃度より高く設定される。



【特許請求の範囲】

【請求項1】 SOI基板上に形成された第1導電型の浅いトップ半導体層と、

前記トップ半導体層上に互いに隔てられて配置された第2導電型のソース領域及びドレイン領域と、

前記ソース領域及びドレイン領域間に挟まれ、N型MOSFETにおいては、N⁺型ソース領域・P型第1チャネル領域・N⁺型フローティング領域・i型第2チャネル領域・N⁺型ドレイン領域の順序で自己整合的に形成された各領域と、P型MOSFETにおいては、P⁺型ソース領域・N型第1チャネル領域・P⁺型フローティング領域・i型第2チャネル領域・P⁺型ドレイン領域の順序で自己整合的に形成された各領域と、

前記第1及び第2チャネル領域を制御する二つのゲート電極とを備え、

前記ソース領域に隣接する前記第1チャネル領域のドーピング濃度は、前記ドレイン領域に隣接する前記第2チャネル領域のドーピング濃度より高く設定されたことを特徴とするSOI・MOS電界効果トランジスタ。

【請求項2】 前記第2チャネル領域は、イントリンシック型または非常に低いドーピング濃度のチャネルに形成されることを特徴とする請求項1記載のSOI・MOS電界効果トランジスタ。

【請求項3】 前記第1及び第2チャネル領域のチャネル長が等しく形成されることを特徴とする請求項1記載のSOI・MOS電界効果トランジスタ。

【請求項4】 前記第1及び第2チャネル領域のドーピング濃度の調整により前記第1チャネル領域のしきい電圧 V_{th1} より前記第2チャネル領域のしきい電圧 V_{th2} が低く設定されることを特徴とする請求項1記載のSOI・MOS電界効果トランジスタ。

【請求項5】 前記第2チャネル領域のしきい電圧 V_{th2} に対する前記第1チャネル領域のしきい電圧 V_{th1} の比 V_{th1}/V_{th2} が4以上に設定されることを特徴とする請求項4記載のSOI・MOS電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はSOI（シリコン-オン-インシュレータ）基板上に形成された半導体装置に関し、特に、集積回路に適用可能なSOI・MOS電界効果トランジスタの改良に関する。

【0002】

【従来の技術】従来、SOS（シリコン-オン-サファイア）、SIMOX（酸素イオン注入によるシリコン分離）、およびBSOI（張り合わせたSOI）などのSOI基板上に作成したSOI・MOSFET（SOI・金属酸化物電界トランジスタ）は、低電圧および高速度で動作する利点がある。また、SOI・MOSFETは、バルクSi（バルクシリコン）上に作成したBulk

k・MOSFETと比べて、レイアウト面積が小さい。一方、Bulk・MOSFETはゲート、ドレイン、ソースおよび基板用の4端子を必要とするが、SOI・MOSFETは、ゲート、ドレインおよびソース用の3端子しか必要としない。このことから、SOI・MOSFETは、浮遊体（フローティングボディ）素子として機能する。

【0003】図4は従来例1のMOSFETの構成断面とその等価回路を示す図である。図1において、図4（a）はSOI・NMOSFETの構成断面とその等価回路を示し、図4（b）はBulk・NMOSFETの構成断面とその等価回路を示す。また、図4（a）及び図4（b）に示す等価回路は寄生バイポーラNPNTランジスタを示し、衝突電離電流発生器 I_i を含んでいる。

【0004】Bulk・MOSFETにおいては、バイポーラトランジスタのベース端子Bは、基板端子Bに接続されており、基板・ソース接合は反転バイアスとなっている。その結果、バイポーラトランジスタは、MOSFET動作に対し非常に小さな効果しかもたらさない。

【0005】SOI・MOSFETにおいては、寄生バイポーラベースは浮遊しているトランジスタ本体のベースである。正常動作において、ドレイン接合で発生する衝突電離電流発生器 I_i は、寄生バイポーラトランジスタのベース電流として作用し、正のフィードバック効果を生じ、MOSFETの電気的特性を損なう。特に、短チャネル効果およびドレイン・ソース間降伏電圧を低下させるので、この寄生バイポーラ効果は、MOSFETの集積化に対し重大な制限を加える。サブハーフミクロン以下のチャネルサイズ（チャネル長 $<0.35\mu\text{m}$ ）を有するSOI・MOSFETにおいては、ドレイン・ソース降伏電圧は、約 $BV_{ds} \approx 2.5\text{V}$ が通常である。その結果、最大供給電圧は、 $V_{dd\text{max}} \approx 2\text{V}$ と制限されるので、 $V_{dd} \approx 3\text{V}$ 仕様のSOI・MOSFETの使用を妨げる。

【0006】この制限を改善する方法として：従来例1のSOI・MOSFETを適用する場合、チャネル領域をより厚いトップSi膜上に形成し、チャネル領域を固定したポテンシャルに結び付けるため本体接合を用いる。この素子はバルクSi素子のように機能し、浮遊本体効果および寄生バイポーラ効果を抑制して、ドレイン・ソース間降伏電圧の低下を防止する。

【0007】従来例2として、特開平5-218425号公報に記載されたMOSFETが提案される。図5は従来例2のMOSFETの構成断面とドレイン電流・電圧特性を示す図である。図5（a）は従来例2のMOSFETの構成を示す断面図であり、このMOSFETは、共通のドレインを電氣的に浮遊させて2つのSOI・MOSFETを直列に接続することによって構成されている。MOSFETのチャネル長は、図5（a）に示すようにdである。

【0008】詳しくは、シリコン基板11上に形成された絶縁膜12の上にn形能動層（浮遊N形領域）13と、このn形能動層13を挟んで対向するp形能動層14、P形能動層15とで能動層を構成する。n形のドレイン領域19の接合近傍で発生した電子・正孔対のうち、p形を担うキャリアがn形の能動層13に注入されるが、n形の能動層13の不純物濃度はn形のソース領域18と比較して通常4桁程度低く、逆注入するn形のキャリア量が著しく抑制される。また、17はゲート電極、20は絶縁膜、21はソース電極、22はドレイン電極である。

【0009】従って、従来例2のMOSFETによれば、寄生バイポーラ効果によるソース・ドレイン間耐圧の劣化が抑制される。また、図5（b）は、図5（a）に示すMOSFETの構成において、ゲート幅を $L1 = L2 = 0.35 \mu m$ に設定したときのドレイン電流・電圧特性（ $I_d - V_{ds}$ 特性）を示す図である。

【0010】従来例3として、参考文献1（[1] M. H. ガオ他：「室温および液体ヘリウム温度におけるSOI・MOSFETのキルクを抑制するためのデュアルMOSFET構造」、1990年IEEE SOI会議、13-14ページ）に記載されたMOSFETが提案される。

【0011】図6は従来例3のMOSFETの構成断面、レイアウト、及びドレイン電流・電圧特性を示す図である。基本的には、2つのMOSFETが直列にそして電気的に接続された構成であり、図5（a）に示すMOSFETの構成と同等である。図6（a）はデュアル素子の構成断面図を示し、2つのNMOSFETが直列に接続され形成される。図6（b）はデュアル素子のレイアウトを示す平面図である。図6（c）はシングル素子のドレイン電流・電圧特性（点線で示す）とデュアル素子のドレイン電流・電圧特性（実線で示す）を示す図である。

【0012】図6（c）に示す点線のドレイン電流・電圧特性に示すように、入力ゲート電圧 V_{gs} に対するドレインの飽和電流 I_d が、あるソース・ドレイン電圧 V_{ds} を境に増加することを、「キルク」効果という。この「キルク」効果は、ドレインに隣接するトップチャンネルがソース・ドレインパンチスルーレジームに入る時に発生する。図6（c）の実線で示すドレイン電流・電圧特性は、一方のトランジスタのチャンネル長を大きくすることにより、「キルク」効果を低減している。図6（d）は2素子のゲート幅、 $L1 = 0.8 \mu m$ 、 $L2 = 0.35 \mu m$ として設定したときのドレイン電流・電圧特性であり、ドレイン電流・電圧特性における「キルク」効果（キルク電流）を低減している。

【0013】

【発明が解決しようとする課題】しかしながら、従来例1～3のSOI・MOSFET構造は、高密度集積回路

における使用を限定する欠点がある。

（1）従来例1において、厚いトップSi膜上に作成したSOI・MOSFETは、短チャンネル効果を損なう。さらに、本体コンタクトの必要性はレイアウトを複雑化させ、素子面積を増加させる。

【0014】（2）従来例2において、図5（a）に示すMOSFETは、サブミクロンチャンネル長の素子に装備することは困難である。

2-1） $0.35 \mu m$ のゲート長の素子にとっては、それぞれのP形領域14、15のチャンネル長は、 $d \approx 0.1 \mu m$ になると判断される。このチャンネル長はN⁺型不純物の水平方向拡散で制御されるので、制御は非常に困難であり、電気的特性がバラツキやすい。

2-2）さらに、従来例2のMOSFETは、P型領域14、15に対して同じチャンネル長（ $L1 = L2 = 0.35 \mu m$ ）で形成され、かつ、 $V_{th1}/V_{th2} = 1$ に設定されるため、ドレイン電流・電圧特性において、非常に大きなキルク電流が発生することが実験的に発見された（図5（b）参照）。

【0015】（3）従来例3において、図6（b）に示すように、デュアル素子のトランジスタのチャンネル長を調節することにより、「キルク」効果を減らすことができる。これは、チャンネル長が大きくなると I_d が下がるのでトランジスタ駆動電流が減少するからである。しかしながら、この構造におけるゲート長は、 $L1/L2 = 0.8 \mu m / 0.35 \mu m$ であり、 $L2$ を最小サイズとするとき、 $L1$ は大きい寸法（非最小サイズ）になるため素子面積が増大するという問題がある。

【0016】本発明は以上の事情を考慮してなされたもので、例えば、ソース・ドレイン間耐圧の増大、ドレイン電流・電圧特性におけるキルク効果の抑制、素子面積の縮小化を可能にして高密度集積回路において適用されるSOI・MOS電界効果トランジスタを提供する。

【0017】

【課題を解決するための手段】本発明は、SOI基板上に形成された第1導電型の浅いトップ半導体層と、前記トップ半導体層上に互いに隔てられて配置された第2導電型のソース領域及びドレイン領域と、前記ソース領域及びドレイン領域間に挟まれ、N型MOSFETにおいては、N⁺型ソース領域・P型第1チャンネル領域・N⁺型フローティング領域・i型第2チャンネル領域・N⁺型ドレイン領域の順序で自己整合的に形成された各領域と、P型MOSFETにおいては、P⁺型ソース領域・N型第1チャンネル領域・P⁺型フローティング領域・i型第2チャンネル領域・P⁺型ドレイン領域の順序で自己整合的に形成された各領域と、前記第1及び第2チャンネル領域を制御する二つのゲート電極とを備え、前記ソース領域に隣接する前記第1チャンネル領域のドーピング濃度は、前記ドレイン領域に隣接する前記第2チャンネル領域のドーピング濃度より高く設定されたことを特徴とするSOI

・MOS電界効果トランジスタである。

【0018】本発明によれば、SOI・MOS電界効果トランジスタを2つのチャネル領域を有するデュアルトランジスタで構成にすることにより、降伏電圧（ソース・ドレイン間耐圧）を増大させることができる。また、前記第1チャネル領域の濃度は前記ドレイン領域に隣接する前記第2チャネル領域の濃度より高くして、前記第1チャネルのしきい電圧 V_{th1} より前記第2チャネルのしきい電圧 V_{th2} を低く設定することにより、ドレイン電流・電圧特性（ I_d-V_{ds} 特性）におけるキンク効果

を抑制する。
【0019】前記第2チャネル領域は、イントリンシック型または非常に低いドーピング濃度のチャネルで形成されることが好ましい。前記構成によれば、第2チャネル領域のドーピング濃度は、例えば、 $1 \times 10^{14} \text{ cm}^{-3}$ 以下に設定し、第1チャネル領域は、通常、ドーピング濃度（約 $2 \times 10^{17} \text{ cm}^{-3}$ （ボロン））のチャネルで形成することにより、前記第2チャネル領域のしきい電圧 V_{th2} が、前記第1チャネルのしきい値電 V_{th1} より低く設定することができる。

【0020】前記第1及び第2チャネル領域のチャネル長が等しく形成されることが好ましい。前記構成によれば、第1及び第2チャネル領域のチャネル長を同じ最小サイズに形成することにより、SOI・MOSFETの素子面積を縮小することができる。

【0021】前記第1及び第2チャネルのドーピング濃度の調整により前記第1チャネル領域のしきい電圧 V_{th1} より前記第2チャネル領域のしきい電圧 V_{th2} を低く設定されることが好ましい。前記構成によれば、ドレイン電流・電圧特性における「キンク」効果を抑制すること

ができる。
【0022】前記第2チャネル領域のしきい電圧 V_{th2} に対する前記第1チャネル領域のしきい電圧 V_{th1} の比 V_{th1}/V_{th2} が4以上に設定されることが好ましい。前記構成によれば、ドレイン電流・電圧特性における「キンク」効果を排除することができる。

【0023】

【発明の実施の形態】以下、図に示す実施例に基づいて本発明を詳述する。なお、これによって本発明は限定されるものでない。図1は本実施例のSOI・MOSFETの構成を示す断面図である。図1において、1はシリコン基板、2は厚さ T_{box} （通常50nmから500nmの間）の埋め込み酸化物であり、シリコン基板1上に形成される。3は活性トランジスタの各領域が形成されるトップSi層であり、埋め込み酸化物2上に形成される。4a、4bはポリSi層、 $MoSi_2$ （モリブデン・シリコン）、 WSi_2 （タングステン・シリコン）などの耐熱性金属として形成されるゲート電極である。5はソース領域、6はドレイン領域であり、それぞれの領域には接続間（interconnect）抵抗を減らすため高濃

度にドーピングされている。

【0024】N型MOSFETの場合については、ソース領域5とドレイン領域6は、N⁺型として形成される。N⁺型ソース5・P型第1チャネル7・N⁺型フローティング9・i型第2チャネル8・N⁺型ドレイン6の順序で各領域がN⁺型ソース5とN⁺型ドレイン6間に挟まれ自己整合的に形成される。P型MOSFETの場合については、ソース領域5とドレイン領域6は、P⁺型として形成される。P⁺型ソース5・N型第1チャネル7・P⁺型フローティング9・i型第2チャネル8・P⁺型ドレイン6の順序で各領域がP⁺型ソース5とP⁺型ドレイン6間に挟まれ自己整合的に形成される。

【0025】図1に示すように、ゲート電極は2つのゲート電極4a、4bとに分離され、分離したゲート電極4a、4bは、ソース領域5及びドレイン領域6と同じ導電型の浮遊領域（フローティング）9によって分離された2つのチャネル領域7、8を制御する。

【0026】ソース領域5に隣接するチャネル領域7は、ソース領域5と反対の導電型（N型MOSFETの場合はP型）であり、通常のドーピングレベルは約 $2 \times 10^{17} \text{ cm}^{-3}$ （ボロン）である。ドレイン領域6に隣接するチャネル領域8は、チャネル領域7に比べて非常に低くドーピングされているか、イントリンシック型（i型）で形成され、チャネル領域8におけるドーピングレベルは、 $1 \times 10^{14} \text{ cm}^{-3}$ 以下である。

【0027】浮遊領域9は、ソース領域5、ドレイン領域6と自己整合的に形成される。ドーピングレベルは同じで $1 \times 10^{20} \text{ cm}^{-3}$ ある。また、浮遊領域9の幅は、約 $0.4 \mu\text{m}$ である。MOSFETの構造は自己整合的に形成されるので、不純物が水平方向に拡散しにくい。このため素子特性がよく制御され再現性がある。

【0028】この素子構造は、電氣的に2つのMOSFETの直列接続として機能する。この意味で、図5に示す従来例2や図6に示す従来例3のSOI・MOSFETの構成に類似しているが、本実施例のMOSFETは、以下のように構成される。

（1）同じ最小ゲート長のチャネル領域（ハーフトランジスタ）を接続した分離ゲート構造のMOSFETで構成することによって、素子面積を最小化している。

【0029】例えば、 $W = 10 \mu\text{m}$ の幅のトランジスタとする。今、同じ駆動電流、ゲート電圧 $V_{gs} = \text{ドレイン電圧 } V_{ds} = 4 \text{ V}$ でドレイン電流 $I_d = 6 \text{ mA}$ を得たいと仮定する。このドレイン電流 I_d を達成するために、図6に示す従来例3では、 $L_1 = 0.8 \mu\text{m}$ 、 $L_2 = 0.35 \mu\text{m}$ 、 $W_n = 0.4 \mu\text{m}$ 、 $I_d = 6 \text{ mA}$ で $W = 14 \mu\text{m}$ とすると、面積 $= (L_1 + L_2 + W_n) \times W$ であるから、従来例3の面積 $= 21.7 \mu\text{m}^2$ となる。図1に示す本実施例では、 $L_1 = 0.35 \mu\text{m}$ 、 $L_2 = 0.35 \mu\text{m}$ 、 $W_n = 0.4 \mu\text{m}$ 、 $I_d = 6 \text{ mA}$ で $W = 10 \mu\text{m}$ とすると、本実施例の面積 $= 11 \mu\text{m}^2$ となる。従って、

面積は約半分に縮小することができる。このため、小さな面積で、高いソース・ドレイン間のパンチスルー降伏電圧を有するMOSFETを実現することができる。

【0030】(2)ドレイン領域6に隣接するチャンネル領域8は、低ドーピング領域、あるいはイントリンシック型で形成される。

(3)ソース領域5に隣接するチャンネル領域7のドーピング濃度を制御して、二つのしきい電圧を $V_{th1} > V_{th2}$ になるよう調節することにより、 $I_{dsat2} > I_{dsat1}$ となる条件が得られる。本実施例ではチャンネル領域7のしきい電圧 $V_{th1} = 0.4V$ 、チャンネル領域8のしきい電圧 $V_{th2} = 0.1V$ に調節されている。これによって、ドレイン電流・電圧特性におけるキンク電流を抑制し、かつパンチスルー降伏電圧(ソース・ドレイン間耐圧)の増大を図っている。

【0031】この理由は、「キンク」効果を減少させる、あるいは排除するためには、トランジスタT1の飽和電流 I_{dsat1} は、ドレインに隣接するトランジスタT2の飽和電流 I_{dsat2} よりも小さくしなければならない。 $I_{dsat2} < I_{dsat1}$ の場合、トランジスタT2がアバランシェ(あるいはパンチスルー)モードで動作しており、トランジスタT1の I_{dsat1} が飽和しているとき、キンク電流 I_k が発生する(図2(a)参照)。 $I_{dsat2} > I_{dsat1}$ の場合、トランジスタT1の I_{dsat1} が飽和している間、トランジスタT2は常に3極管(Triode)、あるいは飽和レジームで動作するので、キンク電流は発生しない。

【0032】図2は本実施例のSOI・MOSFETのキンク電流 I_k としきい電圧比 $V_{th1} > V_{th2}$ の関係を示す図である。図2(a)はゲート長 $L_1 = L_2 = 0.35\mu m$ の分離ゲート構造のSOI・MOSFETのドレイン電流・電圧特性におけるキンク電流 I_k を示す。図2(b)に示すように、このキンク電流 I_k を抑制するため、両方のチャンネル領域7、チャンネル領域8のしきい電圧 V_{th1} 、 V_{th2} は、 $V_{th1} > V_{th2}$ の関係を満たすべきであり、特に、 V_{th1}/V_{th2} 比が4以上になれば有効であることが理解できる。本実施例ではチャンネル領域7のしきい電圧 $V_{th1} = 0.4V$ 、チャンネル領域8のしきい電圧 $V_{th2} = 0.1V$ に調節されている。

【0033】図3は本実施例のSOI・MOSFETのドレイン電流・電圧特性を示す図である。ゲート長、 $L_1 = L_2 = 0.35\mu m$ の分離ゲート構造のSOI・MOSFETのドレイン電流・電圧特性を示すものであるが、「キンク」効果を排除している。ソース領域5の近くのチャンネル領域7は約 $2 \times 10^{17} cm^{-3}$ (ボロン)のドーピング濃度、一方、ドレイン領域6に隣接するチャンネル領域8はドーピングなしのチャンネル領域またはイントリンシック型で形成することにより、ドレイン領域6に隣接するチャンネル領域8(ハーフトランジスタ)が、ソース領域5に隣接するチャンネル領域7(ハーフトラン

ジスタ)よりも高い電流で駆動されるよう構成されている。

【0034】前記構成によれば、デュアルドーピング(dual-doped)されたチャンネル領域を別々のゲート電極ポテンシャルによって制御することができるSOI・MOS電界効果トランジスタを提供することができる。ドレイン領域に隣接する低ドーピングのチャンネル領域と、ソース領域に隣接するチャンネル領域のドーピング濃度を調節することにより、駆動電流を減少させることなく

「キンク」効果を抑制することができる。小さな素子面積で、高いソース・ドレイン間パンチスルー電圧を有するトランジスタを実現することができ、かつ高い駆動電流を達成することができる。従って、一般的なICへの応用に必要な高電圧インターフェイス回路を実現するのに有用である。また、ICの低電圧SOI回路、I/O回路などの各回路を、個々に最適化することができる。MOSFETの各領域の形成において、横方向の拡散で幅を制御するのではなく自己整合的に形成しているので素子特性の再現性がよい。

【0035】

【発明の効果】本発明によれば、ソース・ドレイン領域間に二つのチャンネル領域を形成してソース・ドレイン間の耐圧の増大し、この二つのチャンネル領域のドーピング濃度をそれぞれ制御することにより二つのチャンネル領域のしきい電圧を調整してドレイン電流・電圧特性におけるキンク効果の抑制を可能にする。

【図面の簡単な説明】

【図1】本実施例のSOI・MOSFETの構成を示す断面図である。

【図2】本実施例のSOI・MOSFETのキンク電流 I_k としきい電圧比 V_{th1}/V_{th2} の関係を示す図である。

【図3】本実施例のSOI・MOSFETのドレイン電流・電圧特性を示す図である。

【図4】従来例1のMOSFETの構成断面とその等価回路を示す図である。

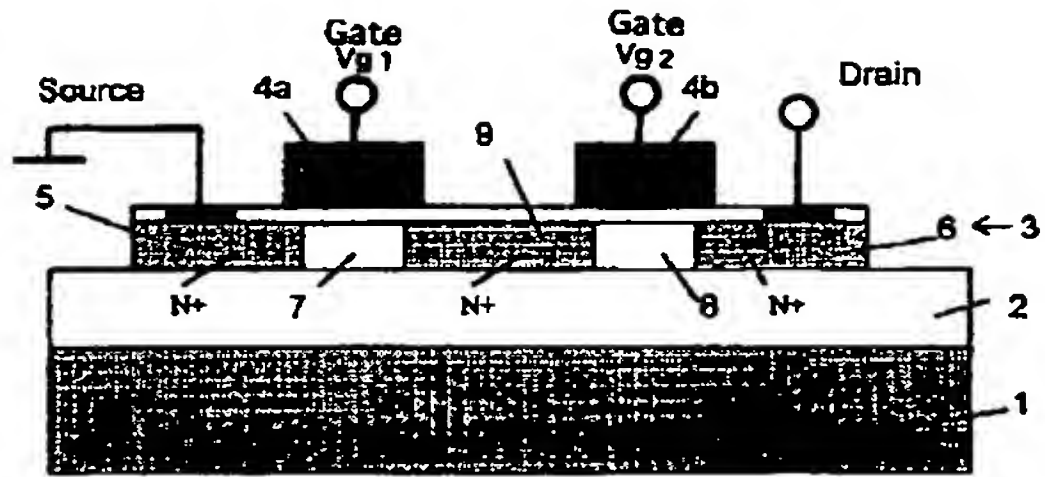
【図5】従来例2のMOSFETの構成断面とドレイン電流・電圧特性を示す図である。

【図6】従来例3のMOSFETの構成断面、レイアウト、及びドレイン電流・電圧特性を示す図である。

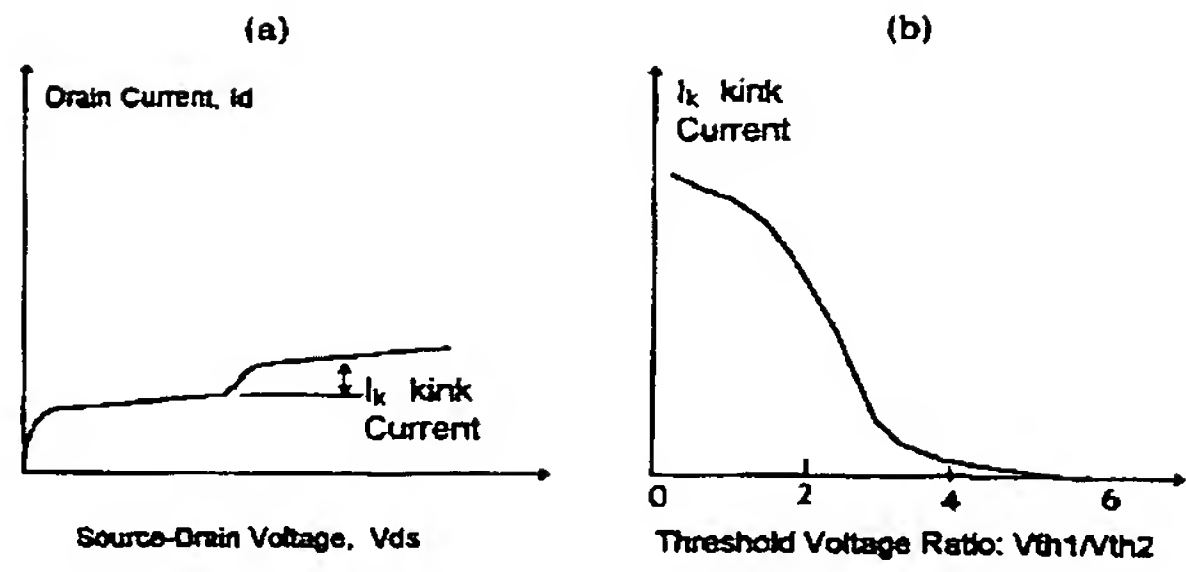
【符号の説明】

- | | |
|----|---------|
| 1 | シリコン基板 |
| 2 | 埋め込み酸化物 |
| 3 | トップSi層 |
| 4a | ゲート電極 |
| 4b | ゲート電極 |
| 5 | ソース領域 |
| 6 | ドレイン領域 |
| 7 | チャンネル領域 |
| 8 | チャンネル領域 |

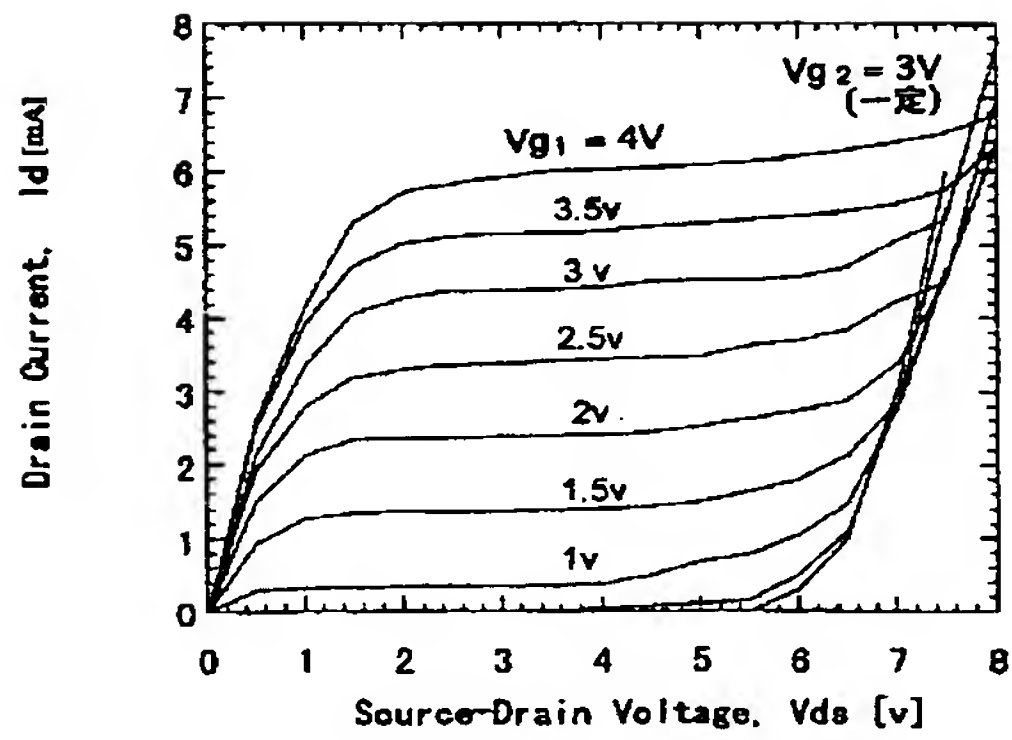
【図1】



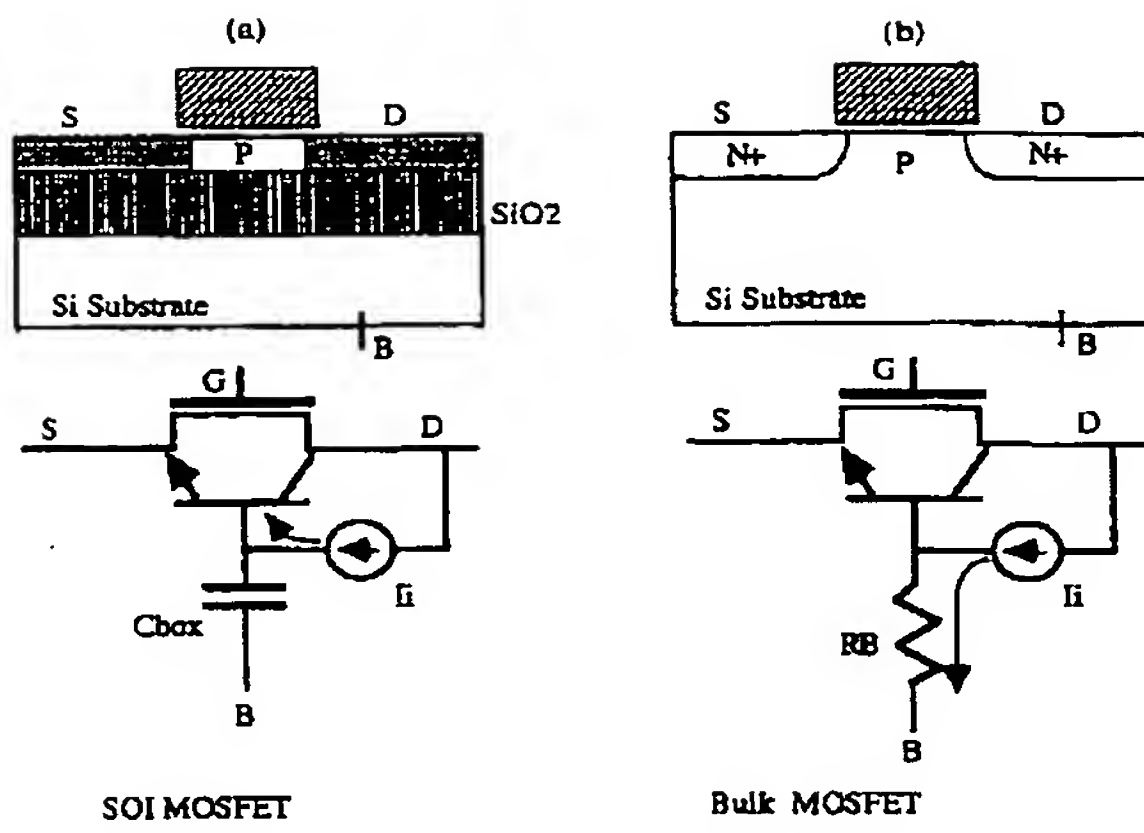
【図2】



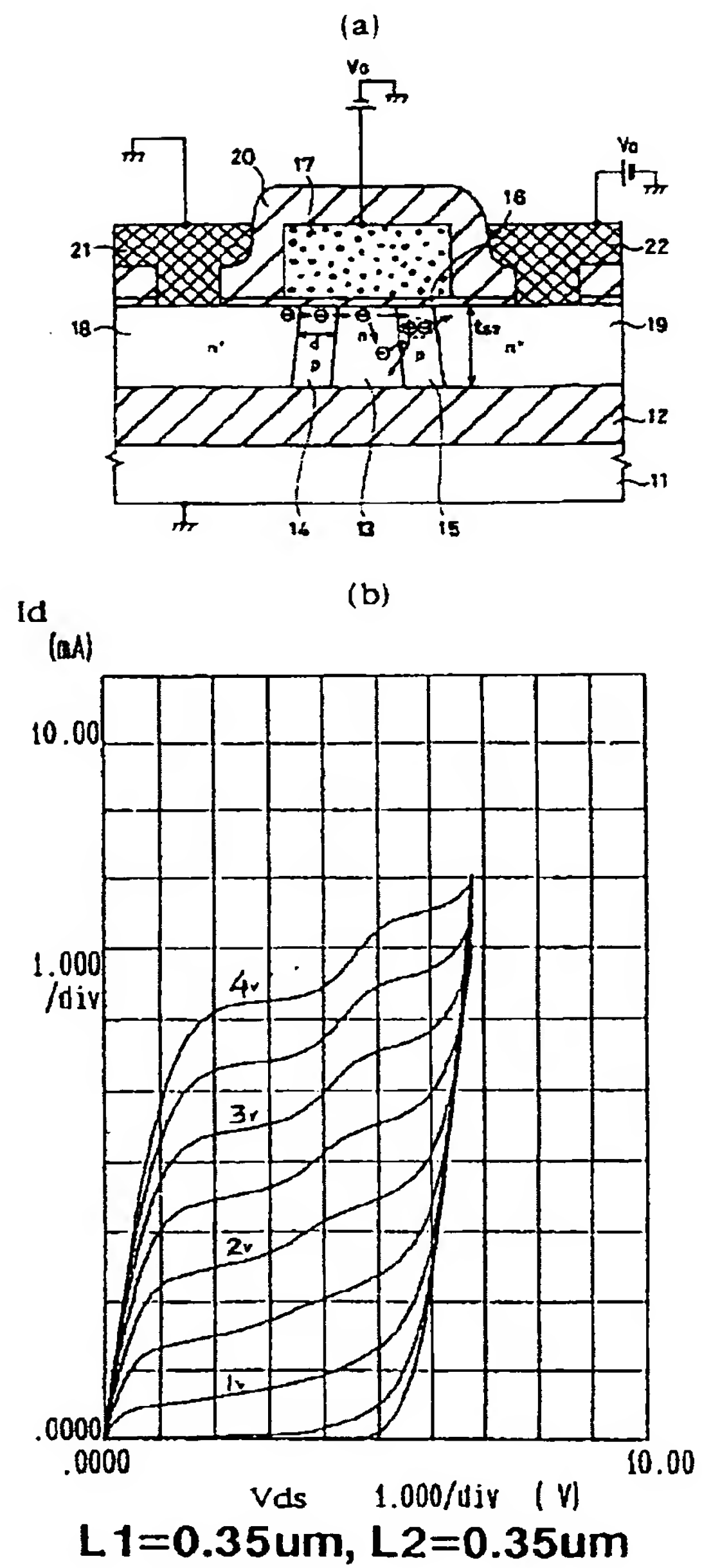
【図3】



【図4】



【図5】



【図6】

